

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-029727

(43)Date of publication of application : 31.01.2003

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20
H04N 5/66

(21)Application number : 2002-111673

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 25.06.1992

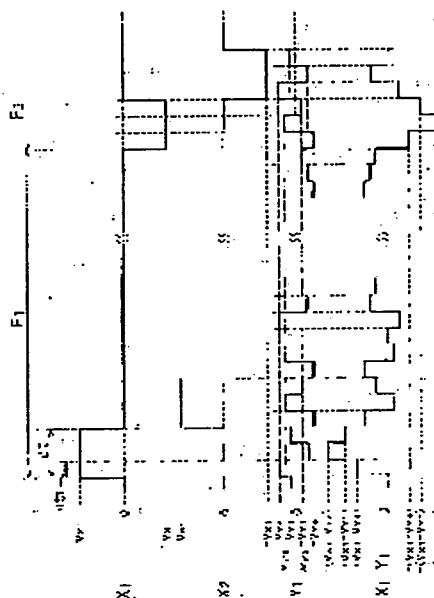
(72)Inventor : IINO SEIICHI
ITO AKIHIKO

(54) DRIVING METHOD FOR LIQUID CRYSTAL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make gradation displaying possible to be performed satisfactorily without generating a flicker in display and a crosstalk or the like, in a driving method of liquid crystal device or the like and a display and especially in a display performing a gradation displaying.

SOLUTION: The driving method of liquid crystal device driving a liquid crystal device by interposing a liquid crystal layer between a substrate having a plurality of pieces of scanning electrodes and a substrate having a plurality of pieces of signal electrodes and by applying voltages to the plurality of pieces of signal electrodes and scanning electrodes based on desired display data in respective selection periods while successively selecting the plurality of pieces of scanning electrodes, is characterized in that it performs the gradation displaying by expressing the display data with plural bits and also by dividing the respective selection periods into a plurality of periods equal to or larger than the number of bits of the a plurality of bits and by applying voltages whose voltage values are different in accordance with the display data to the signal electrodes or the scanning electrodes in respective divided periods.



LEGAL STATUS

[Date of request for examination]

15.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-29727

(P2003-29727A)

(43) 公開日 平成15年1月31日 (2003.1.31)

(51) Int.Cl. ⁷	識別記号	F I	テラート* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 7 5	G 0 2 F 1/133	5 7 5 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 D 5 C 0 5 8
			6 1 1 E 5 C 0 8 0
	6 2 1		6 2 1 B

審査請求 有 請求項の数 8 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2002-111673(P2002-111673)

(62) 分割の表示 特願平4-191522の分割

(22) 出願日 平成4年6月25日 (1992. 6. 25)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 飯野 聖一

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 伊藤 昭彦

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100094536

弁理士 高橋 隆二 (外1名)

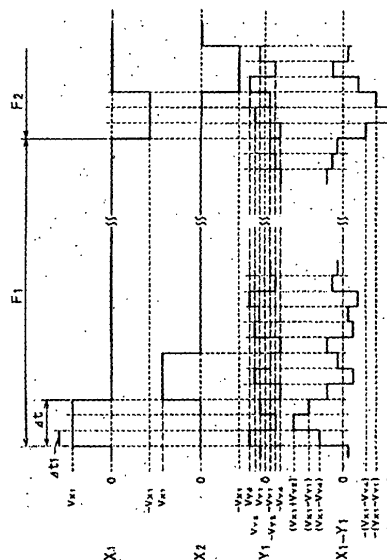
最終頁に続く

(54) 【発明の名称】 液晶素子の駆動方法

(57) 【要約】

【課題】 液晶素子等の駆動方法および表示装置、特に階調表示を行うものにおいて、表示のチラツキやクロストーク等を生じることなく良好に階調表示が行えるようにする。

【解決手段】 複数個の走査電極を有する基板と複数個の信号電極を有する基板との間に液晶層を介在させ、上記複数個の走査電極を順次選択して、その各選択期間内に所望の表示データに基づいて上記複数個の信号電極および走査電極に電圧を印加して駆動する液晶素子の駆動方法において、上記表示データを複数ビットで表すと共に、上記各選択期間を上記複数ビットのビット数もしくはそれ以上の複数の期間に分割し、その各分割した期間に上記表示データに応じて電圧値の異なる電圧を上記信号電極または走査電極に印加して階調表示を行うことを特徴とする。



【特許請求の範囲】

【請求項 1】 複数個の走査電極を有する基板と複数個の信号電極を有する基板との間に液晶層を介在させ、上記複数個の走査電極を順次選択して、その各選択期間内に所望の表示データに基づいて上記複数個の信号電極および走査電極に電圧を印加して駆動する液晶素子の駆動方法において、

上記表示データを複数ビットで表すと共に、上記各選択期間を上記複数ビットのビット数もしくはそれ以上の複数の期間に分割し、その各分割した期間に上記表示データに応じて電圧値の異なる電圧を上記信号電極または走査電極に印加して階調表示を行うことを特徴とする液晶素子の駆動方法。

【請求項 2】 前記複数ビットのビット数に応じて前記各選択期間を複数の期間に分割し、その各分割した期間に表示データに応じて電圧値の異なる電圧を信号電極または走査電極に印加することを特徴とする請求項 1 記載の液晶素子の駆動方法。

【請求項 3】 前記複数ビットのビット数に応じて 1 フレームを複数の期間に分け、これを各ビットごとに全ての走査電極が選択されるまでを 1 フィールドとして駆動することを特徴とする請求項 1 記載の液晶素子の駆動方法。

【請求項 4】 前記各選択期間を前記複数ビットのビット数よりも多く分割し、いずれかのビットに対応した表示データを前記の分割した期間のうちの複数の期間に割り当てることによって印加電圧レベル数を減少させるようにした請求項 1 記載の液晶素子の駆動方法。

【請求項 5】 1 フレームを前記複数ビットのビット数よりも多い複数の期間に分け、これを各ビットごとに全ての走査電極が選択されるまでを 1 フィールドとして駆動することを特徴とする請求項 1 記載の液晶素子の駆動方法。

【請求項 6】 前記の分割した期間に信号電極または走査電極に印加する電圧の電圧値と印加時間を適宜組み合わせることで複数階調の表示を行うことを特徴とする請求項 1 記載の液晶素子の駆動方法。

【請求項 7】 走査電極に印加する電圧の極性を 1 フレーム毎に反転させて駆動する請求項 1～6 のいずれかに記載の液晶素子の駆動方法。

【請求項 8】 走査電極に印加する電圧の極性を 1 フレーム内で反転させて駆動する請求項 1～6 のいずれかに記載の液晶素子の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶素子の駆動方法、特に階調表示を行うための駆動方法に関する。

【0002】

【従来の技術】 従来、液晶素子の駆動方法の 1 つとして、電圧平均化法によるマルチプレクス駆動が知られて

いる。この駆動方法は例えば単純マトリックス型の液晶素子においては、一般に走査電極を 1 ラインづつ順次選択して走査電圧波形を印加すると共に、その選択された走査電極上の各画素がオンかオフかによって、それに

応じた信号電極波形を各信号電極に印加することによって駆動するものである。
【0003】 また上記のような駆動方法を用いていわゆる階調表示を行う場合の手法としては、例えば各画素が複数のフレームのうちでオン・オフされる回数を異ならせることによって階調表示を行ういわゆるフレーム階調や、図 34 に示すように印加電圧波形のパルス幅を変えることによって階調表示を行うパルス幅変調階調表示等が知られている。

【0004】

【発明が解決しようとする課題】 ところが、上記前者のフレーム階調表示は、各画素に印加される電圧の繰り返し周期が長くなってフリッカ等の表示のチラツキが生じ易く、また後者のパルス幅変調階調表示は印加電圧波形のなまりによるクロストークが生じ易い等の問題がある。

【0005】 本発明は上記の問題点に鑑みて提案されたもので、上記のような表示のチラツキやクロストーク等を生じることなく良好に階調表示を行うことのできる液晶素子の駆動方法を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記の目的を達成するために本発明による液晶素子の駆動方法は、以下の構成としたものである。即ち、複数個の走査電極を有する基板と複数個の信号電極を有する基板との間に液晶層を介在させ、上記複数個の走査電極を順次選択して、その各選択期間内に所望の表示データに基づいて上記複数個の信号電極および走査電極に電圧を印加して駆動する液晶素子の駆動方法において、上記表示データを複数ビットで表すと共に、上記各選択期間を上記複数ビットのビット数もしくはそれ以上の複数の期間に分割し、その各分割した期間に上記表示データに応じて電圧値の異なる電圧を上記信号電極または走査電極に印加して階調表示を行うことを特徴とする。

【0007】

【実施例】 以下、本発明による液晶素子の駆動方法を、図に示す実施例に基づいて具体的に説明する。

【0008】 【実施例 1】 一般に、 2^n の階調表示を行う場合、1 選択期間 Δt を n 分割 (n は階調ビット数) し、その各分割期間 Δt_1 に表示データの各ビットに対応して重み付けした電圧を印加する。例えば、 $n = 3$ として、 $2^n = 2^3 = 8$ 、すなわち 8 階調の表示を行う場合には、1 選択期間 Δt を 3 分割し、その各分割期間 Δt_1 に表示データの各ビットに対応して重み付けした電圧を印加すればよい。

【0009】 図 1 は非点灯を含む 8 種類の表示データに

対応して1選択期間 Δt 中に信号電極に印加する電圧波形の一例を示す。図1において、表示データは2進法により3桁の数字で表したもので、非選択時すなわち(000)のときは、図(a)に示すように3つに分割した期間に順に $V_{Y4} \cdot V_{Y2} \cdot V_{Y1}$ の電圧を印加する。その電圧比は、 $V_{Y1} : V_{Y2} : V_{Y4} = 1 : 2 : 4$ の関係にある。そして表示データ中のいずれかの桁が1のときは、それに対応した分割期間中の信号電圧波形の正負を反転させて印加するようにしたものである。

【0010】なお上記図1の場合は走査電極に印加される電圧が正側の場合に信号電極に印加される電圧を示したものであるが、いわゆる交流駆動で走査電極の正負を逆転させたときは、図1と正負が逆の信号電圧を印加する。

【0011】図2は上記図1の信号電圧波形を用いて図3に示す8階調の表示を行う場合の印加電圧波形の一例を示すもので、図2中の $X_1 \cdot X_2$ はそれぞれ走査電極 $X_1 \cdot X_2$ に印加される走査電圧波形、 Y_1 は信号電極 Y_1 に印加される信号電圧波形、 $X_1 - Y_1$ は走査電極 X_1 と信号電極 Y_1 との交点の画素に印加される電圧波形を示す。

【0012】図3において走査電極 X_1 と信号電極 Y_1 との交点の画素に表示すべきデータは(010)で、それに対応する信号電圧波形は図1の(c)であり、走査電極 X_1 が選択されている期間中、信号電極 Y_1 には図1の(c)と同じ波形の信号電圧が印加されている。次いで走査電極 X_2 が選択されたとき、信号電極 Y_1 には図3における走査電極 X_2 と信号電極 Y_1 との交点の表示データ(101)に対応した図1の(f)と同じ波形の信号電圧が、引き続き印加されている。

【0013】上記の要領で選択されている走査電極上の画素の表示データに応じた波形の信号電圧を各信号電極 $Y_1 \sim Y_n$ に印加して行く。そして、全ての走査電極 $X_1 \sim X_n$ が選択されたところで、1つのフレームFが終了し、再び走査電極 X_1 から順に選択して行き、これを順次繰り返すものである。なおフレームが変わる毎に走査電極 X_1 および信号電極 Y_1 に印加する電圧の極性(正負)を反転するようにして、いわゆる交流駆動している。なお1フレーム内で極性を反転させることもある。

【0014】上記のように1選択期間 Δt を複数に分割し、その各分割期間 Δt_1 に表示データの各ビットに対応して重み付けした電圧を印加するようにしたので、階調数の割りに使用電圧レベル数や選択期間の分割数が少なく済み、各画素に印加される電圧の繰り返し周期が長くなってフリッカ等が生じたり、印加電圧波形のなまりによるクロストーク等が生じることなく、良好に階調表示を行うことができるものである。

【0015】なお上記の電圧比 $V_{Y1} : V_{Y2} : V_{Y4}$

は、必ずしも厳密に1:2:4の関係にしなくてもよいというのではなく、また選択期間 Δt も必ずしも厳密に等分に分割する必要はなく、例えば液晶の特性等に応じて適宜調整するようにしてもよい。後述する実施例においても同様である。

【0016】〔実施例2〕上記実施例は1選択期間を複数に分割し、その分割した選択期間を連続的に実行するようにしたが、上記の分割した選択期間を1フレームF内で複数回に分けて実行するようにしてもよい。例えば、先ず表示データの上位ビットを全ての走査電極について実行した後、次のビットを全ての走査電極について実行していく、このようにして各ビット毎に全ての走査電極について実行して行くことができる。この場合、1つのビットについて全ての走査電極が選択されるまでを1フィールドfとすれば、1フレームF内に複数のフィールドfが繰り返され、各走査電極には各フィールド毎に分割した選択期間 Δt_1 が設けられたことになる。

【0017】図4は前記図3の表示データを全ての走査電極についてビット毎に実行した実施例の印加電圧波形である。本例は図3の表示データを上位ビットから順番に3つのフィールドに分けて実行したもので、前記図2との対比からも明らかなように、走査電極 X_1 の選択期間 Δt は前記例の場合と同様に3つに分割され、その分割された選択期間 Δt_1 は1フレームF内に一定の時間的間隔をおいて分散して設けられている。なお図4においては走査電極 X_1 に印加する電圧を各フィールド毎に正負を反転し、それに伴って信号電極 Y_1 も正負反転させることによって1フレーム内で交流駆動させている。他の走査電極 $X_2 \dots$ についても同様である。

【0018】すなわち走査電極 X_1 の最初の分割された選択期間 Δt_1 では、図3の表示データにおける最上位のビット、図の場合は括弧内の左側のビット(走査電極 X_1 上の表示データにおいては0)に対応する信号電圧波形を各信号電極 $Y_1 \dots$ に印加し、次の走査電極 X_2 が選択されたときには、その走査電極上の表示データの最初のビットに対応する信号電圧波形を各信号電極 $Y_1 \dots$ に印加する。

【0019】これを全ての走査電極について実行したのち再び最初の走査電極 X_1 に戻り、各走査電極に印加する電圧の正負を反転させると共に、2番目の分割された選択期間に次のビットに対応した信号電圧波形を各信号電極 $Y_1 \dots$ に印加する。このようにして各ビット毎に全ての走査電極について順に実行し、これを1フィールドとして、全てのビットについて終了するまでの期間を1フレーム内で実行するものである。

【0020】〔実施例3〕前記実施例1においては、1選択期間を階調ビット数nに分割し、 $V_{Y1} \cdot V_{Y2} \cdot V_{Y4}$ の3レベルの信号電圧を信号電極に選択的に印加するようにしたが、上記の分割数を増やすことによって信号電圧のレベル数を減らすこともできる。例えば液晶

表示パネル等の液晶素子を駆動する場合の実効電圧は、一般に電圧値と印加時間（パルス幅）とで決定され、高い電圧を短時間印加しても、低い電圧を長時間印加しても同等に駆動させることができる。

【0021】例えば、上記複数個の電圧レベルのうち、高いレベルの電圧を用いる代わりにそれよりも低いレベルの電圧を使用して印加時間を長くしても同等に駆動させることが可能である。従って、前記図1における V_{Y4} の電圧レベルを用いる代わりに V_{Y2} の電圧レベルを用い、その印加時間を長くしても前記実施例1の場合と同様に駆動することができ、それによって信号電圧のレベル数を減らすことができる。

【0022】図5は上記の要領で信号電圧のレベル数を減らす場合の各階調における印加電圧波形の一例を示す。前記図1の場合は1選択期間 Δt を n 分割、具体的には3分割したのに対し、本例は1選択期間を $(n+1)$ 分割、具体的には4分割し、その始めの2つの分割期間を表示データの上位ビットの電圧印加時間に当てたものである。

【0023】すなわち上位ビットの電圧レベルは中間ビットと同じ V_{Y2} を用い、印加時間は中間ビットの2倍になるようにしたものである。その結果、液晶素子に印加される電圧値と時間とは、中間ビットの2倍、下位ビットの4倍になり、各ビットに対する重み付けの比は、前記図1の場合と同じように、4:2:1の関係になる。

【0024】図6は上記図5の印加電圧波形を用い、前記図3の表示データに基づいて前記実施例1と同様の8階調の表示を行う場合の印加電圧波形であり、前記実施例1の場合よりも信号電極への印加電圧レベルを1つ少なくした上で実施例1の場合と同等に駆動させることができる。

【0025】なお上記実施例は図1における最も高い電圧レベル V_{Y4} を無くしたが、図1における中間ビットに対する電圧レベルとして下位ビットの電圧レベル V_{Y1} を用いると共に、その印加時間を下位ビットの2倍にすることによって中間ビットに対する電圧レベル V_{Y2} を無くすることもできる。さらに、2以上の電圧レベルを削減することも可能であり、特に階調数が多い場合に有効である。

【0026】【実施例4】上記実施例3においても実施例2の場合と同様に分割した選択期間を1フレーム F 内で複数回に分けて実行することも可能であり、図7はその一例を示す印加電圧波形である。即ち、本例は上記実施例3において1選択期間を $n+1$ 、具体的には4つに分割した選択期間を、実施例2の場合と同様に1フレーム内で複数回、具体的には4回のフィールド f に分けて実行したものである。ただし2回もしくは3回にわけることができる。なお上記実施例も前記図4の実施例と同様に、走査電極 X_1 に印加する電圧を各フィールド毎

に正負を反転し、それに伴って信号電極 Y_1 も正負反転させることによって1フレーム内で交流駆動させている。

【0027】【実施例5】前述のように液晶素子を駆動する場合の実効電圧は、一般に印加される電圧値と印加時間（パルス幅）とによって決定され、信号電極への印加電圧の電圧値と印加時間とを適宜組み合わせることによって所望の階調表示を行うことができる。図8は信号電極への印加電圧の電圧値と印加時間とを適宜組み合わせることによって16階調の表示を行う場合の各階調における信号電極への印加電圧波形の一例を示す。

【0028】図9は上記図8の電圧波形を用い、前記図10の表示データに基づいて16階調の表示を行う場合の印加電圧波形の一例を示す。走査電極 X_1 …には図9に示すような走査電圧 $V_{X4} \cdot V_{X2} \cdot V_{X1}$ が印加され、走査電極 X_1 が選択されたとき信号電極 Y_1 には図10の表示データに基づいて(0010)に対応する図8の(c)の波形、走査電極 X_2 の選択時は(0101)に対応する図8の(f)の波形…が順に印加されていく。上記の走査電圧 $V_{X4} \cdot V_{X2} \cdot V_{X1}$ の比は、本例においては $V_{X1} : V_{X2} : V_{X4} = 1 : 2 : 4$ の關係に設定されているが、例えば液晶の特性等に応じて適宜調整するようにしてもよい。

【0029】上記のように信号電極への印加電圧の電圧値と時間とを適宜組み合わせることによって所望の階調表示を行うことができるもので、特に階調数の多い場合でも少ない電圧レベルで階調表示を行うことが可能となる。

【0030】【実施例6】上記実施例1～5は信号電極に印加する電圧レベルを変えて階調表示を行うようにしたが、走査電極に印加する電圧レベルを変えて階調表示を行うこともできる。図11は走査電極に印加する電圧レベルを変えて階調表示を行う場合の走査電極への印加電圧の一例を示す電圧波形図、図12の(a)～(h)は上記の走査電圧に対して信号電極に印加する8つの階調の電圧波形図である。

【0031】図13は上記図11および図12の電圧波形を用いて前記実施例1と同様に前記図3に示す8階調の表示を行う場合の印加電圧波形の一例を示すもので、図13において、 $X_1 \cdot X_2$ はそれぞれ走査電極 $X_1 \cdot X_2$ に印加される走査電圧波形、 Y_1 は信号電極 Y_1 に印加される信号電圧波形、 $X_1 - Y_1$ は走査電極 X_1 と信号電極 Y_1 との交点の画素に印加される電圧波形である。

【0032】各走査電極 X_1 …には、選択時に図11の波形の走査電圧が印加され、信号電極 Y_1 には図3の表示データに応じて(010)に対応する図12の(c)の波形、(101)に対応する図11の(f)の波形が順に印加されて前記の実施例と同様に駆動される。

【0033】前記実施例1のように信号電極側の電圧レベルを増やす代わりに、上記実施例のように走査電極側の電圧レベルを増やすようにすると、信号電極側のドライバの回路構成を簡略化できる等の利点がある。

【0034】〔実施例7〕上記実施例6においても実施例2と同様に選択期間を1フレームF内で複数回に分けて実行することができる。図14はその一例を示すもので、上記図13における選択期間 Δt を前記図4と同様に1フレームF内で3つに分けて表示データのビット毎に全ての走査電極について実行し、1つのビットが終わるまでを1フィールドfとして1フレームF内で3回繰り返すようにしたものである。なお本例においても前記図4の実施例と同様に、走査電極 X_1 に印加する電圧を各フィールド毎に正負を反転し、それに伴って信号電極 Y_1 も正負反転させることによって1フレーム内で交流駆動させている。

【0035】〔実施例8〕前記実施例6においても実施例3と同様に選択期間の分割数を増やして印加電圧レベル数を少なくすることができる。図15はその一例を示すもので、前記図13における選択期間 Δt を前記図6と同様に1フレームF内で4つに分けて始めの2つの分割期間を上位ビットに対する印加時間に、他の分割期間をそれぞれ中間ビットおよび下位ビットに対する印加時間としたものである。

【0036】〔実施例9〕上記実施例8においても選択期間を1フレームF内で複数回に分けて実行することができる。図16はその一例を示すもので、上記実施例8において4つに分割した選択期間毎に、それぞれを1フィールドfとして1フレームF内で4回繰り返すようにしたものである。なお本例においても前記図4の実施例と同様に、走査電極 X_1 に印加する電圧を各フィールド毎に正負を反転し、それに伴って信号電極 Y_1 も正負反転させることによって1フレーム内で交流駆動させている。

【0037】〔実施例10〕前記実施例5のように電極への印加電圧の電圧値と印加時間とを適宜組み合わせることによって所望の階調表示を行う場合においても前記実施例6と同様に信号電極側の電圧レベルを増やす代わりに走査電極側の電圧レベルを増やすことによって実施例5と同様に駆動させることができる。図17はその一例を示すもので、前記図8における表示データの上位2つのビットに対する走査電極への印加電圧レベルは V_{x4} 、下位2つのビットに対する印加電圧のレベルは V_{x1} とし、それに対する信号電極への印加電圧レベルは V_{y1} と $-V_{y1}$ のみとして表示データが0か1かで極性を異ならせたものである。

【0038】〔実施例11〕前記実施例1においては走査電極への印加電圧波形を1フレーム毎に極性（正負）を反転させることによって、いわゆる交流駆動させるようにしたが、1フレーム内で交流駆動することもでき

る。図18はその一例を示すもので、各走査電極 X_1 …には、それぞれ負の走査電圧 $-V_{x1}$ と正の走査電圧 V_{x1} とを1フレーム内で1回ずつ続けて印加し、各信号電極には前記実施例1の図2と同様に前記図3の表示データに応じた信号電圧が印加されている。なお表示データの各ビットに対する信号電圧波形の配列順序は図2の場合と逆になっているが、同じにしてもよい。また図19に示すように走査電極への印加電圧が負側と正側とで、信号電圧波形の配列順序を逆にしてもよく、そのようにすると走査電極 X_1 と信号電極 Y_1 との交点の画素に印加される電圧波形 $X_1 - Y_1$ を、図のように負側と正側とで対称形状にすることができる。

【0039】〔実施例12〕上記実施例11のように1フレーム内で交流駆動する場合において各走査電極 X_1 …に印加した正負1サイクルの走査電圧波形を複数に分割し、それを適宜並べ変えて印加することもできる。図20は前記図18において各々3つに分割した負側と正側とを1つずつ順に印加するようにして正負3サイクルの波形とし、それに合わせて信号電極の順番を入れ替えて印加するようにしたものである。また上記図20における3サイクルの走査電圧波形を、図21に示すように各サイクル毎に分けて全ての走査電極が選択されるまでを1フィールドとし、1フレーム内で複数のフィールドに分けて駆動することもできる。

【0040】〔実施例13〕また前記実施例11のように1フレーム内で交流駆動する場合においても、前記実施例3と同様に1選択期間の分割数を増やして印加電圧レベルを少なくすることができる。図22はその一例を示すもので、走査電極への印加電圧波形の正・負それぞれを4つに分割して正負各々について実施例3と同様の要領で表示データに応じた信号電圧を信号電極に印加するようにしたものである。なお表示データの各ビットに対する信号電圧波形の配列順序は実施例3の場合と逆になっているが、同じにしてもよい。また図23に示すように走査電極への印加電圧が負側と正側とで、信号電圧波形の配列順序を逆にしてもよく、そのようにすると走査電極 X_1 と信号電極 Y_1 との交点の画素に印加される電圧波形 $X_1 - Y_1$ を、図のように負側と正側とで対称形状にすることができる。

【0041】〔実施例14〕上記実施例13においても各走査電極 X_1 …に印加した正負1サイクルの走査電圧波形を複数に分割し、それを適宜並べ変えて印加することができる。図24は前記図22における走査電極を正負各々4分割して負側と正側とを1つずつ順に並べて4サイクルの波形とし、それに合わせて信号電極の順番を入れ替えて印加するようにしたものである。また上記図24における上記4サイクルの走査電圧波形を、図25に示すように各サイクル毎に分割し、その分割したサイクル毎に全ての走査電極が選択されるまでを1フィールドとして、1フレーム内で複数のフィールドに分けて

駆動することもできる。

【0042】〔実施例15〕また前記実施例11のように1フレーム内で交流駆動する場合においても、前記実施例6と同様に走査電極に印加する電圧レベルを変えて階調表示を行うこともできる。図26はその一例を示すもので、走査電極 X_1 …には電圧値の異なる3つの走査電圧 V_{x1} 、 V_{x2} 、 V_{x4} を負・正それぞれ順に印加し、信号電極 Y_1 …には前記実施例6と同様に表示データに応じた信号電圧を印加するようにしたものである。なお波形の配列順序は前記実施例6の場合と逆になっているが、同じにしてもよい。また走査電極への印加電圧が負側と正側とで、電圧波形の配列順序を逆にすることによって前記図23の場合と同様に画素に印加される電圧波形を負側と正側とで対称形状にすることもできる。

【0043】〔実施例16〕上記実施例15においても各走査電極 X_1 …に印加した正負1サイクルの走査電圧波形を複数に分割し、それを適宜並べ変えて複数のサイクルにしてもよく、図27は前記図26の走査電圧を3サイクルの波形とし、それに合わせて信号電極に印加する電圧を入れ替えたものである。また上記図27における上記3サイクルの走査電圧波形を、図28に示すように各サイクル毎に分割し、その分割したサイクル毎に全ての走査電極が選択されるまでを1フィールドとして、1フレーム内で複数のフィールドに分けて駆動することもできる。

【0044】〔実施例17〕また前記実施例15のように走査電極に印加する電圧レベルを変え、かつ1フレーム内で交流駆動する場合においても、前記実施例3と同様に1選択期間の分割数を増やして印加電圧レベルを少なくすることができる。図29はその一例を示すもので、走査電極への印加電圧波形の正・負それぞれを4つに分割して正負各々について実施例3と同様の要領で表示データに応じた信号電圧を信号電極に印加するようにしたものである。なお表示データの各ビットに対する信号電圧波形の配列順序は実施例3の場合と逆になっているが、同じにしてもよい。また走査電極への印加電圧が負側と正側とで、電圧波形の配列順序を逆にすることによって前記図23の場合と同様に画素に印加される電圧波形を負側と正側とで対称形状にすることもできる。

【0045】〔実施例18〕上記実施例17においても各走査電極 X_1 …に印加した正負1サイクルの走査電圧波形を複数に分割し、それを適宜並べ変えて複数のサイクルにしてもよく、図30は前記図29の走査電圧を4サイクルの波形に並べ替え、それに合わせて信号電極に印加する電圧を入れ替えたものである。なお例えば図31のような波形に並べ替えることもできる。また上記図30における上記4サイクルの走査電圧波形を、図32に示すように各サイクル毎に分割し、その分割したサイクル毎に全ての走査電極が選択されるまでを1フィー

ルドとして、1フレーム内で複数のフィールドに分けて駆動することもできる。図31についても同様である。

【0046】〔実施例19〕前記各実施例において走査電極への印加電圧と信号電極への印加電圧とを、ほぼ同じにすることもできる。図33はその一例を示すもので、前記実施例1と同じ駆動方法で走査電極に印加する電圧波形のピーク・トゥ・ピーク間の電圧を下げた場合について示している。

【0047】すなわち、走査電極への印加電圧波形の非選択電圧を V_3 と V_{10} の2つのレベルとして、信号電極への印加電圧波形の電圧レベルを、 V_3 を中心にして V_0 、 V_1 、 V_2 、 V_4 、 V_5 、 V_6 の駆動電圧で発生するとき、 V_{10} を中心にして V_7 、 V_8 、 V_9 、 V_{11} 、 V_{12} 、 V_{13} の駆動電圧で発生するように駆動することによって、走査電極に印加するピーク・トゥ・ピーク電圧と、信号電極に印加するピーク・トゥ・ピーク電圧とがほぼ同じになるようにした場合の一例である。そして、各画素にかかる電圧は実施例1の図2と同じになる。

【0048】なお上記の考え方は前記実施例1に限らず、他の実施例についても適用可能であり、上記と同様の要領で走査電極への印加電圧波形と信号電極への印加電圧波形の電圧をほぼ同じにすることができる。また前記の各実施例においては、8階調もしくは16階調を例にして説明したが、それ以外の階調数で表示する場合にも適用できる。

【0049】さらに以上の階調表示は、本出願人が先に特願平4-143482号および特願平4-123623号において提案した駆動方式、すなわち走査電極を有する基板と、信号電極を有する基板間に液晶を介在させてなる液晶素子をマルチプレックス駆動する場合に、順次複数本の走査電極を同時に選択し、かつその選択期間を1フレーム期間の中で複数回に分けて電圧を印加する方式にも適用することができる。

【0050】

【発明の効果】以上説明したように本発明による液晶素子の駆動方法は、1選択期間を複数の期間に分割し、その各分割した選択期間に、所望の表示データに応じた重み付けをした電圧を印加して階調表示を行うようにしたから、繰り返し周期が長くなってチラツキが生じたり、印加電圧波形のなまりによるクロストークの発生が防止され、良好な階調表示が得られる。また印加電圧レベルが少なく済み、駆動ドライバ等の駆動手段を構造簡単に構成できると共に、信頼性および表示性能に優れた液晶素子の駆動方法を提供できる等の効果がある。

【図面の簡単な説明】

【図1】(a)～(h)は各階調毎の信号電極への印加電圧波形の一例を示す図。

【図2】本発明の一実施例を示す印加電圧波形図。

【図3】表示データの一例を示す図。

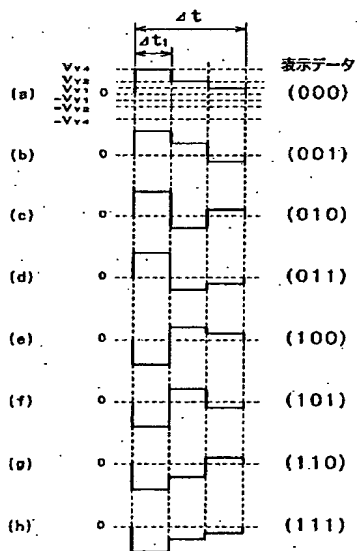
【図4】本発明の他の実施例の印加電圧波形図。
 【図5】(a)～(h)は各階調毎の信号電極への印加電圧波形の他の例を示す図。
 【図6】本発明の他の実施例の印加電圧波形図。
 【図7】本発明の他の実施例の印加電圧波形図。
 【図8】(a)～(p)は各階調毎の信号電極への印加電圧波形の他の例を示す図。
 【図9】本発明の他の実施例の印加電圧波形図。
 【図10】表示データの他の例を示す図。
 【図11】走査電極に印加する電圧の波形図。
 【図12】(a)～(h)は各階調毎の信号電極への印加電圧波形の他の例を示す図。
 【図13】本発明の他の実施例の印加電圧波形図。
 【図14】本発明の他の実施例の印加電圧波形図。
 【図15】本発明の他の実施例の印加電圧波形図。
 【図16】本発明の他の実施例の印加電圧波形図。
 【図17】本発明の他の実施例の印加電圧波形図。
 【図18】本発明の他の実施例の印加電圧波形図。
 【図19】本発明の他の実施例の印加電圧波形図。
 【図20】本発明の他の実施例の印加電圧波形図。

【図21】本発明の他の実施例の印加電圧波形図。
 【図22】本発明の他の実施例の印加電圧波形図。
 【図23】本発明の他の実施例の印加電圧波形図。
 【図24】本発明の他の実施例の印加電圧波形図。
 【図25】本発明の他の実施例の印加電圧波形図。
 【図26】本発明の他の実施例の印加電圧波形図。
 【図27】本発明の他の実施例の印加電圧波形図。
 【図28】本発明の他の実施例の印加電圧波形図。
 【図29】本発明の他の実施例の印加電圧波形図。
 【図30】本発明の他の実施例の印加電圧波形図。
 【図31】本発明の他の実施例の印加電圧波形図。
 【図32】本発明の他の実施例の印加電圧波形図。
 【図33】本発明の他の実施例の印加電圧波形図。
 【図34】従来の階調表示の一例を示す印加電圧波形図。

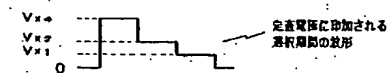
【符号の説明】

X_1 、 X_2 … 走査電極
 Y_1 、 Y_2 … 信号電極
 f 、 f_1 、 f_2 … フィールド
 F 、 F_1 、 F_2 … フレーム

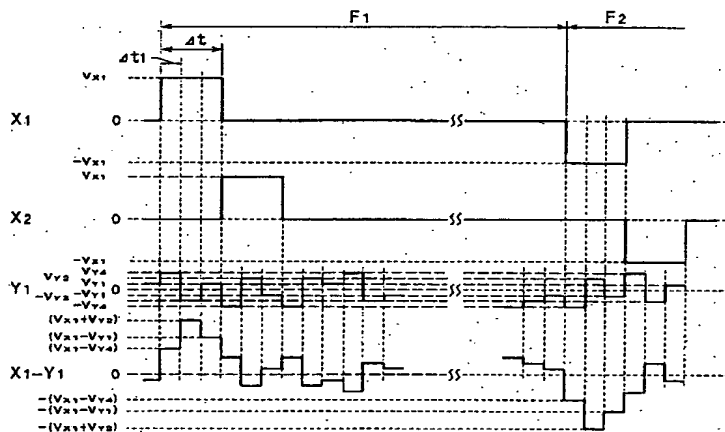
【図1】



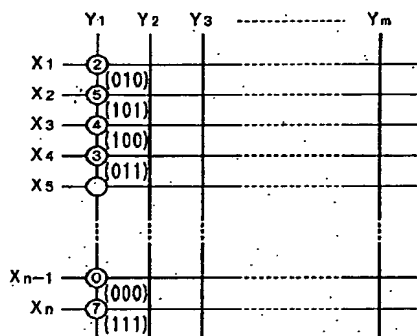
【図11】



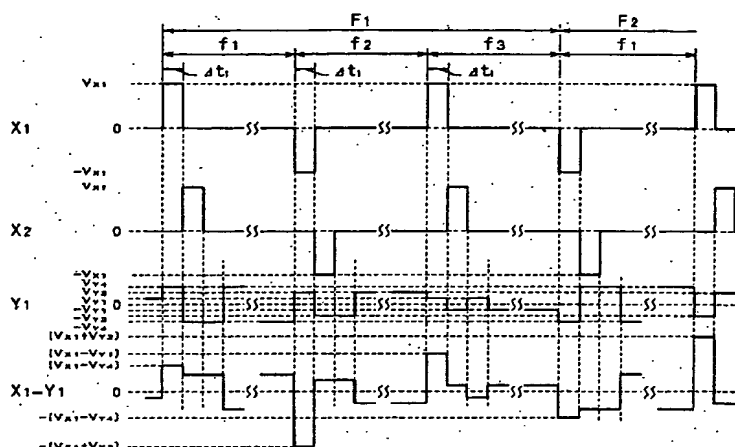
【図2】



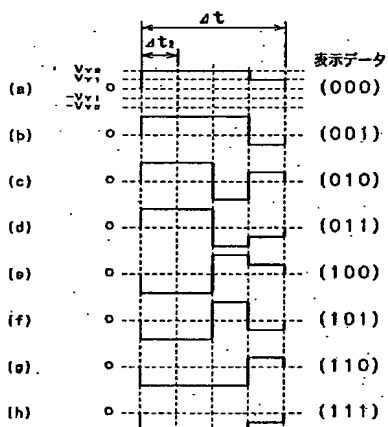
【図3】



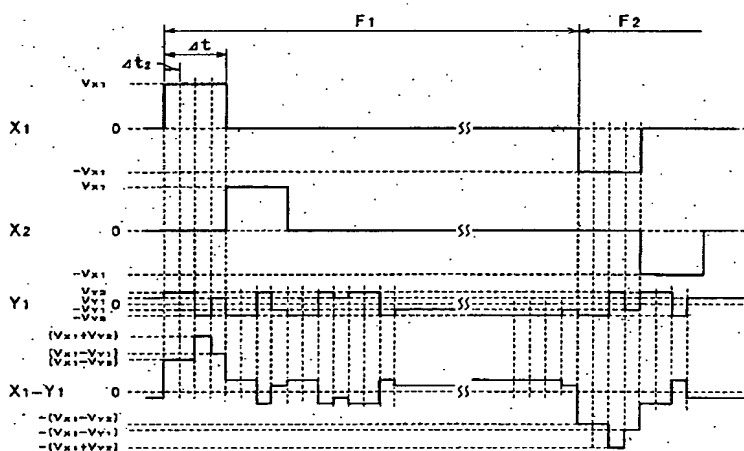
【図4】



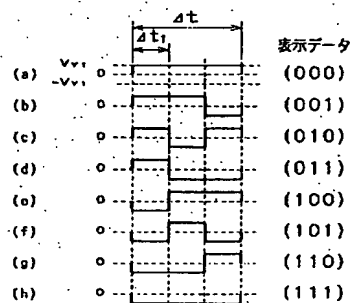
【図5】



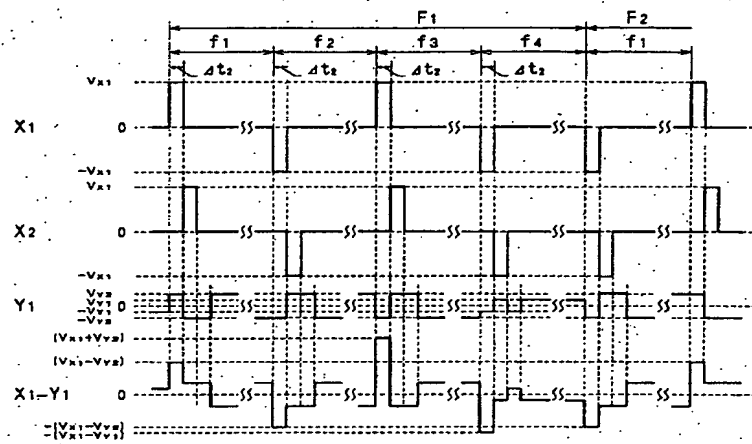
【図6】



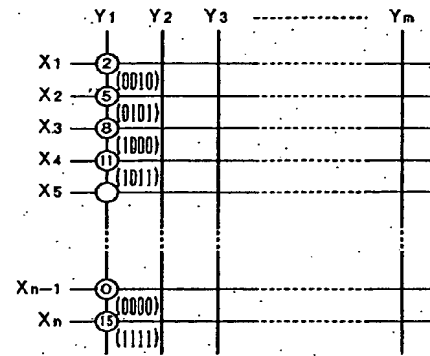
【図12】



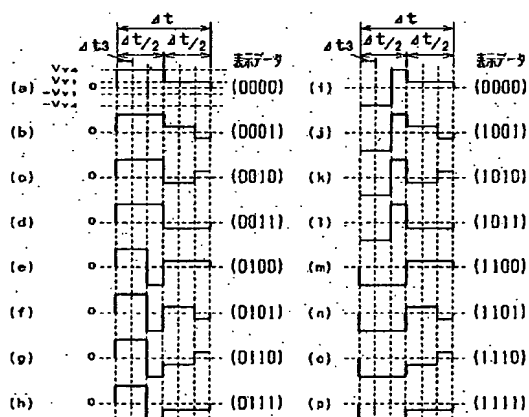
【図7】



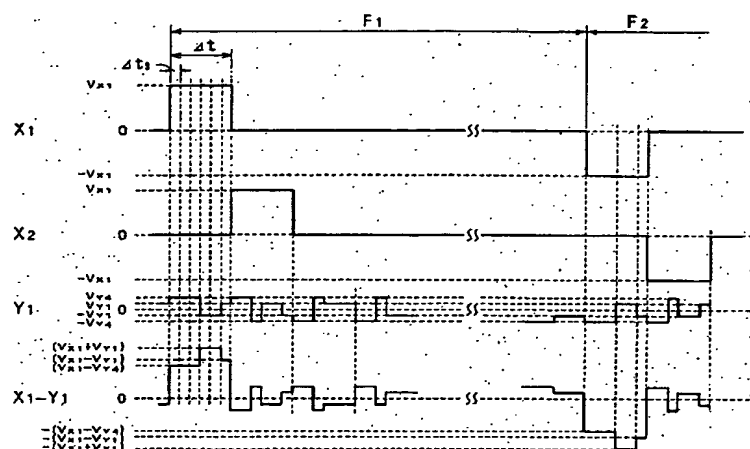
【図10】



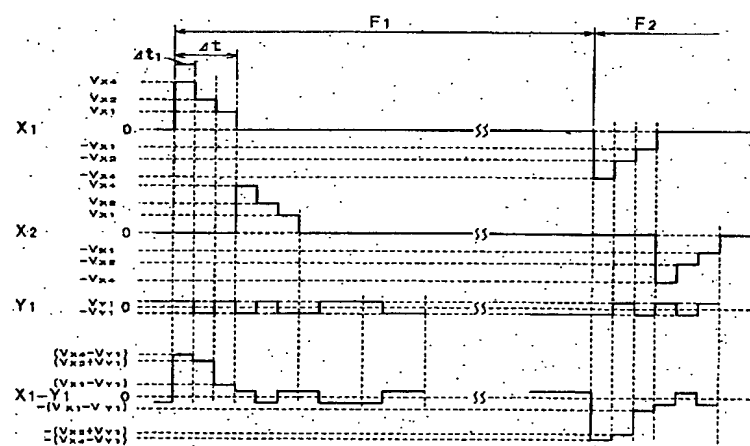
【図8】



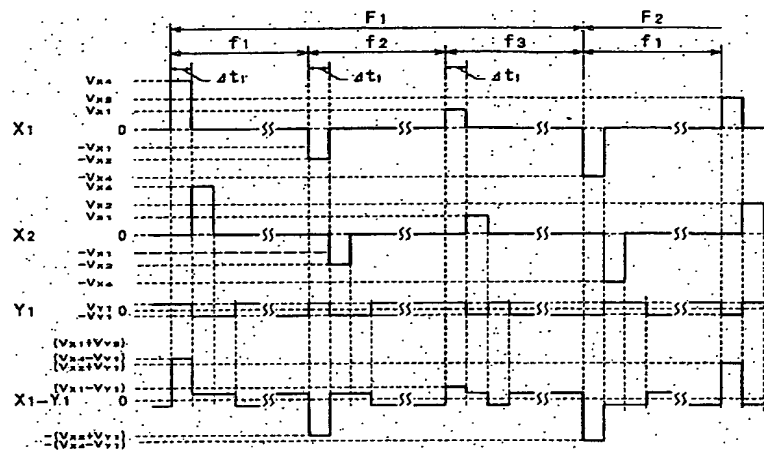
【図9】



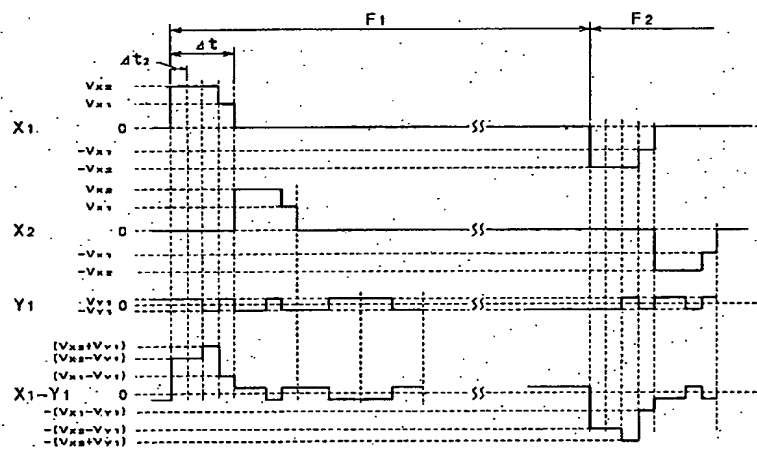
【図13】



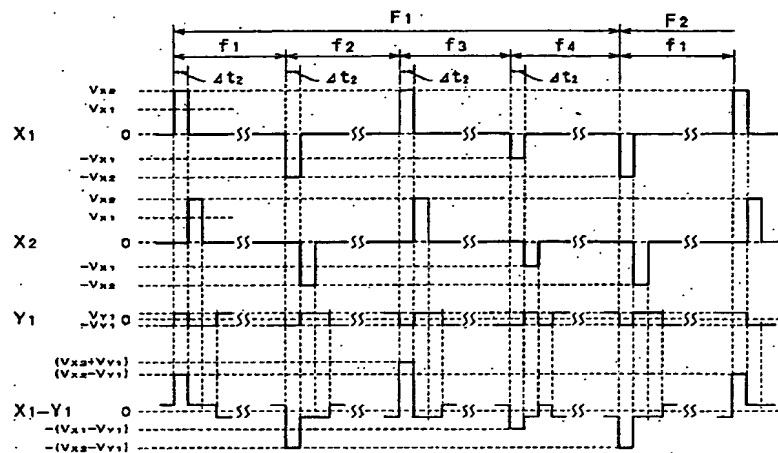
【図14】



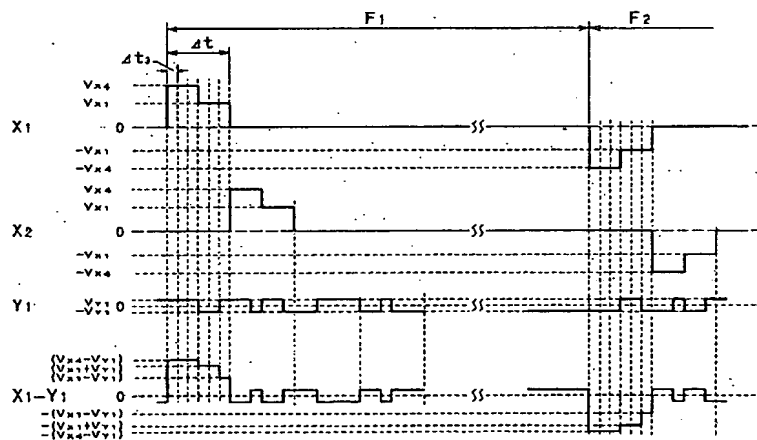
【図15】



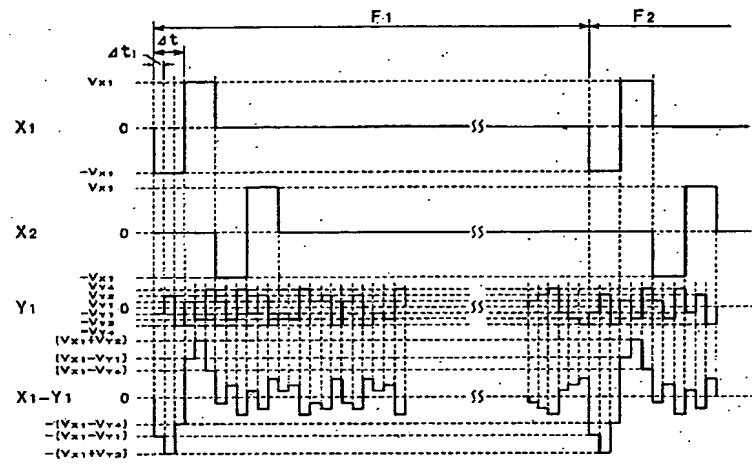
【図16】



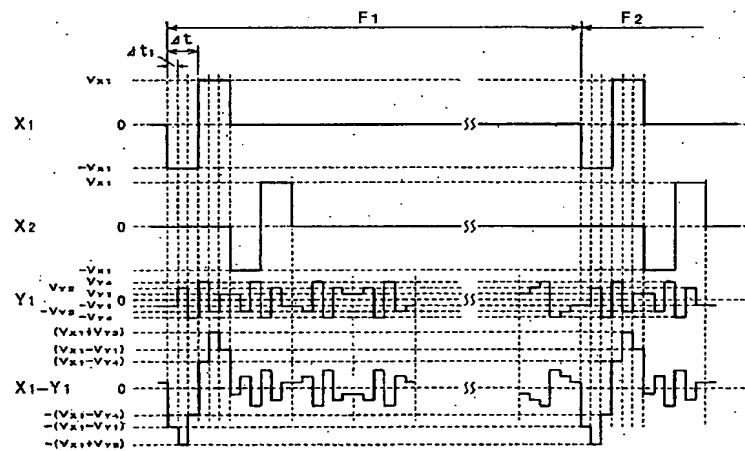
【図17】



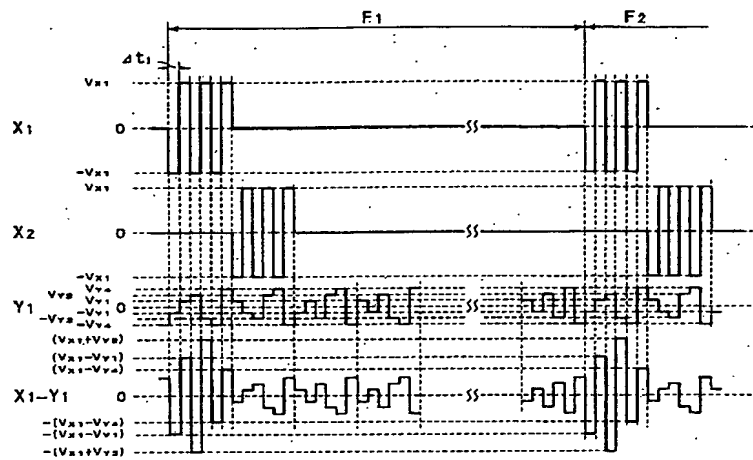
【図18】



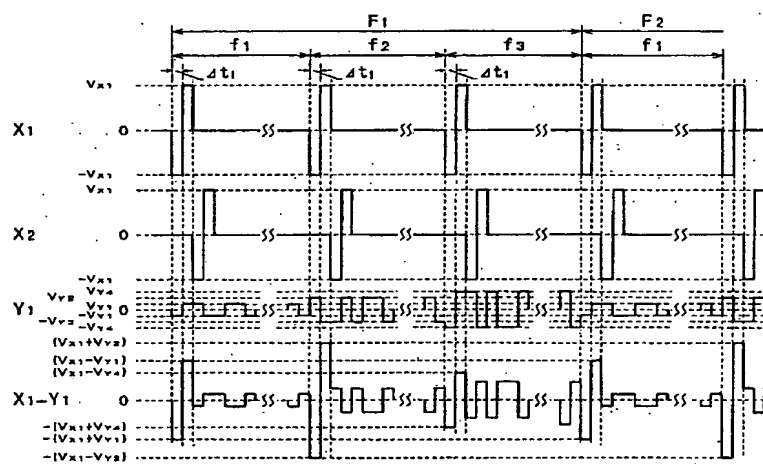
【図19】



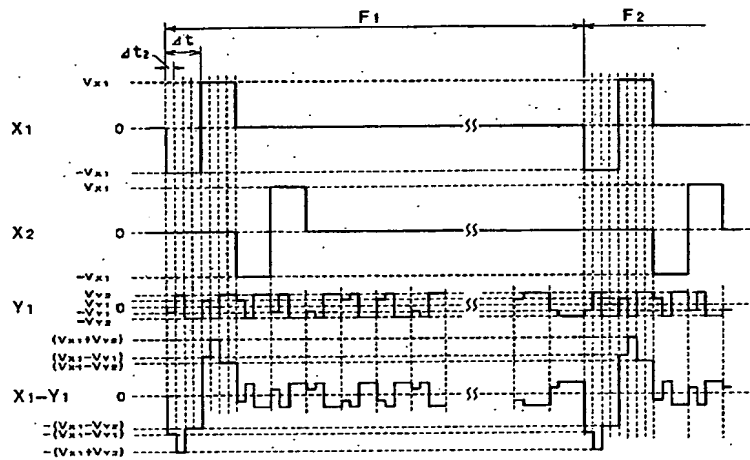
【図 20】



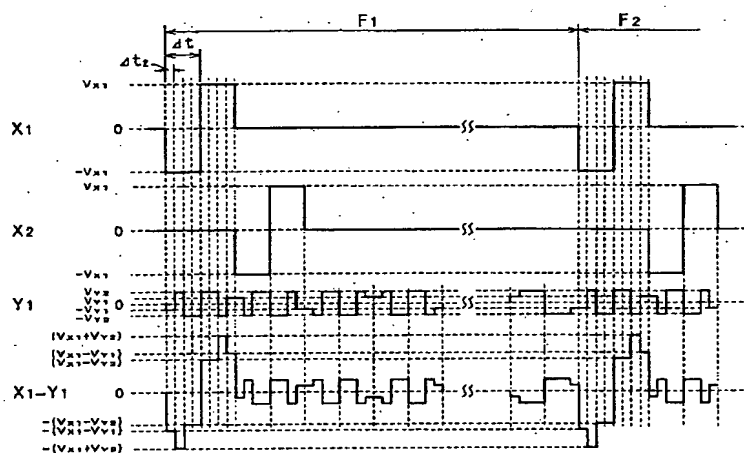
【図 21】



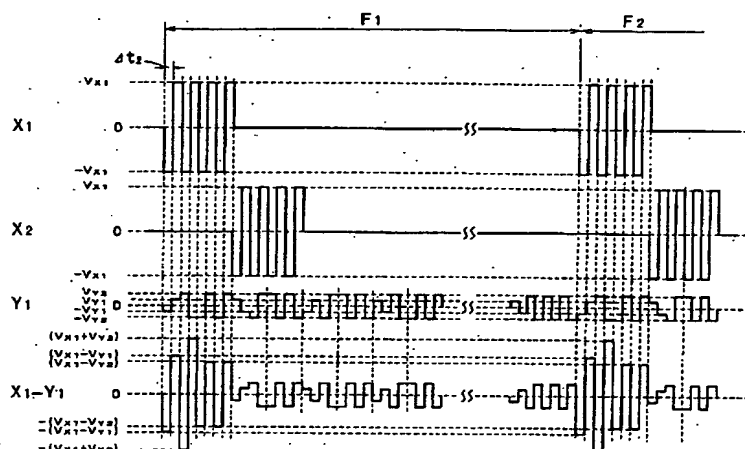
【図22】



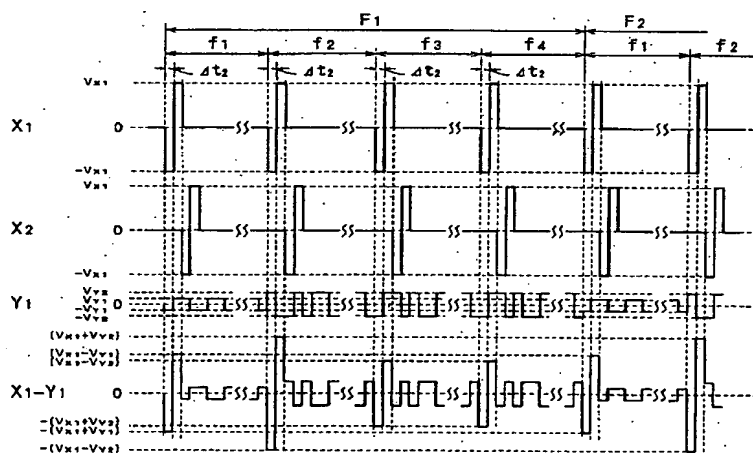
【図23】



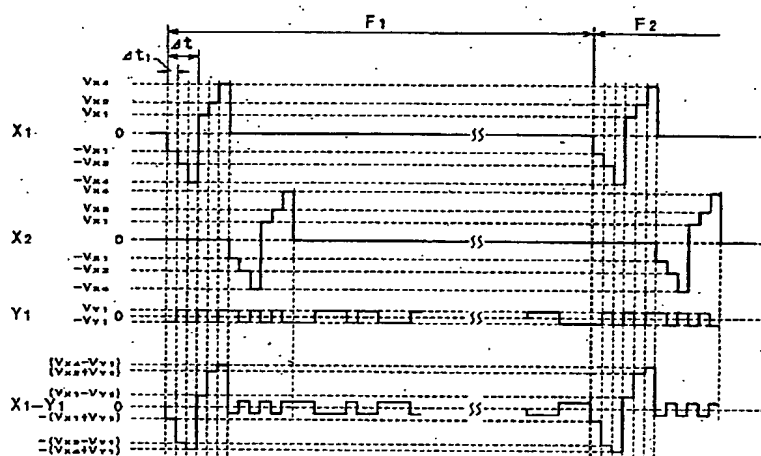
【図24】



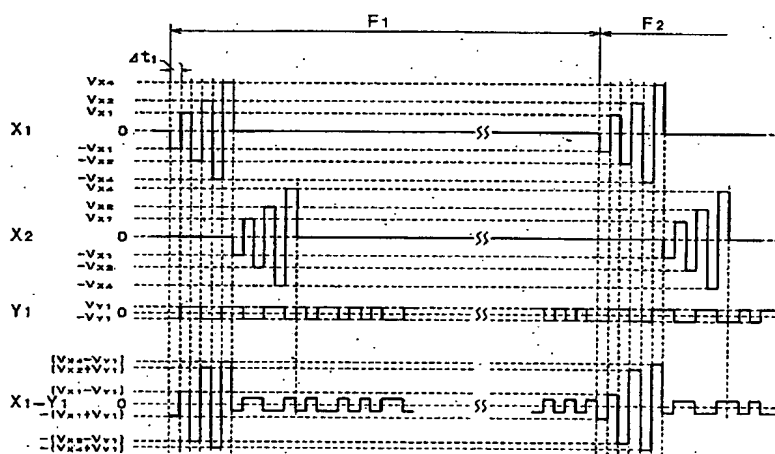
【図25】



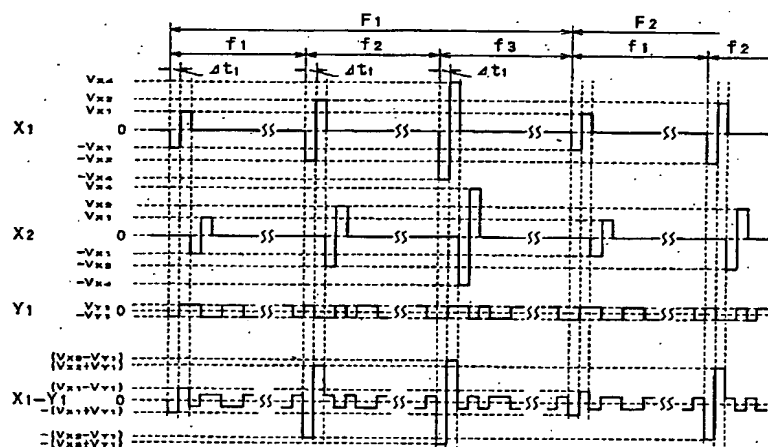
【図26】



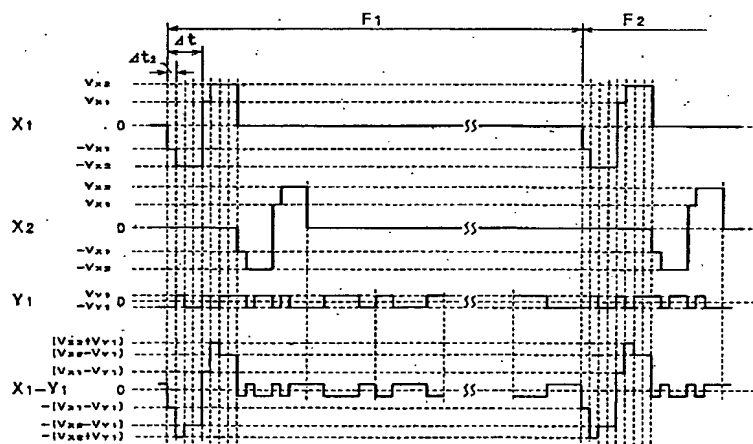
【図27】



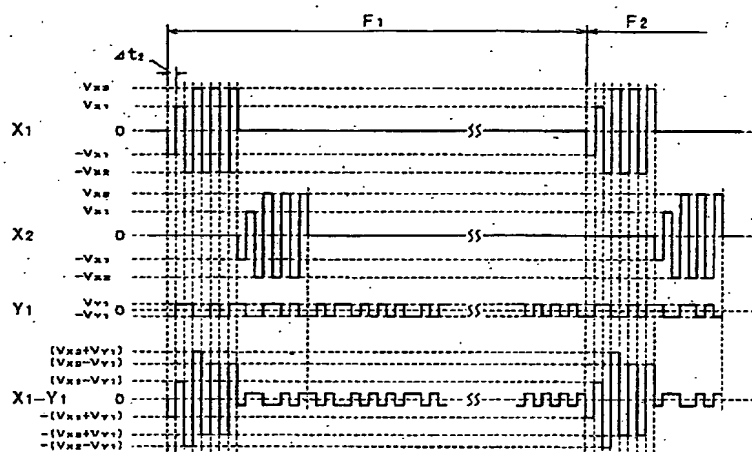
【図 28】



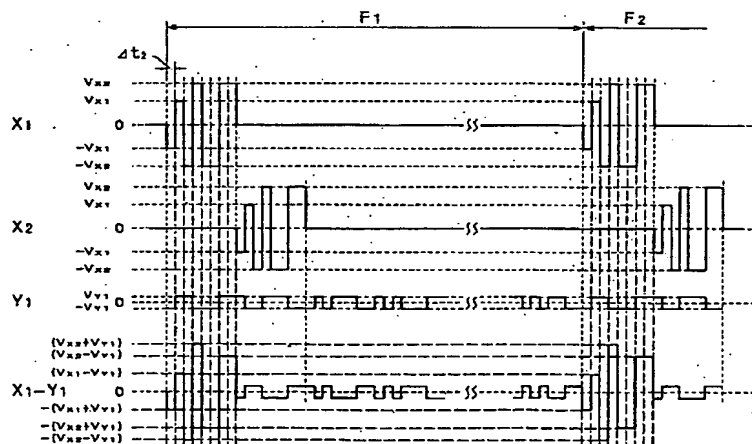
【図 29】



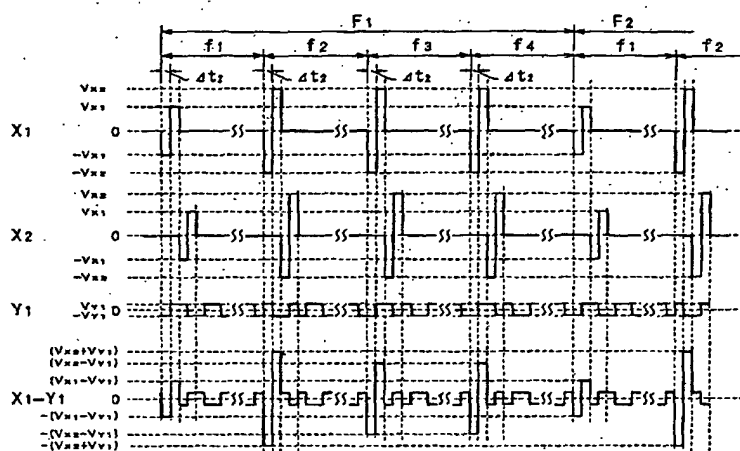
【図30】



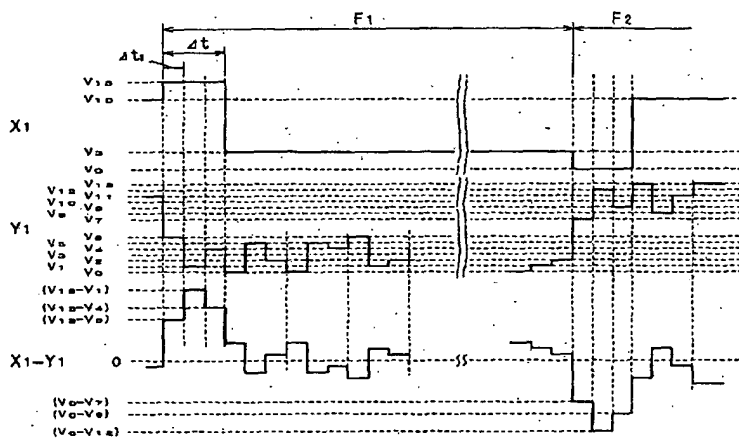
【図31】



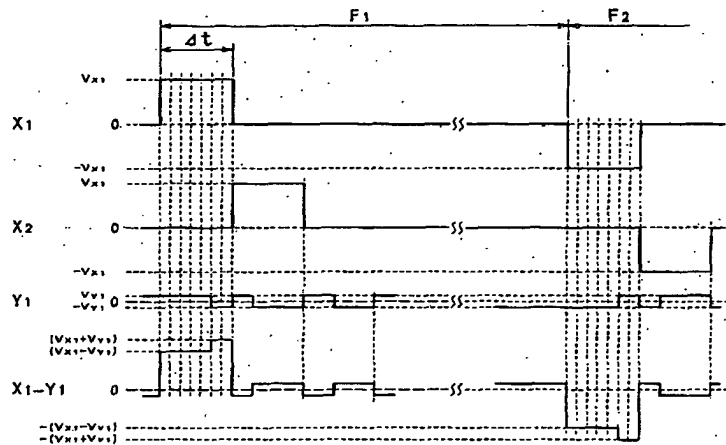
【図32】



【図33】



【図34】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 A 6 4 1 C 6 4 1 E 6 4 1 K
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 B
Fターム (参考)	2H093 NA06 NA32 NA33 NA53 NB03 NB09 NB10 NB11 NC03 ND10 ND15	30	
	5C006 AA01 AA14 AA15 AA16 AA17 AC02 AC21 AC22 AC28 AF44 AF51 AF53 AF61 AF71 AF83 BB12 BC03 BC12 FA22 FA23 FA56	35	
	5C058 AA07 AA08 BA02 BA07 BA09 BA10 BB02 BB09		
	5C080 AA10 BB05 DD06 DD10 EE29 FF12 JJ04	40	